

Сведения о выполненных работах в 2016 году
по проекту «Тестирование и контролепригодное проектирование логических схем
высокой производительности»,
поддержанному Российским научным фондом

Соглашение № 14-19-00218

Руководитель д-р техн. наук Матросова Анжела Юрьевна

Увеличение размеров, плотности, скорости работы интегральных схем приводит к увеличению неисправностей в процессе создания схем, в том числе на заключительных этапах их производства. Это сокращает процент выхода годных элементов, что весьма нежелательно. В этой ситуации возможно дублирование схем с целью последующего сохранения той схемы, в которой неисправность отсутствует. К сожалению, такой подход связан с большими аппаратурными затратами, которые хотелось бы снизить.

Рассматриваются произвольные комбинационные схемы или комбинационные составляющие последовательностных схем из вентилях, к некоторым внутренним полюсам которых подключены мультиплексоры. Предполагается, что только один вентиль может быть неисправным, допускается произвольная логическая неисправность. Имеются резервные программируемые логические блоки (Configurable Logic Blocks (CLBs)), построенные на основе Look Up Table (LUT) технологий. В случае обнаружения неисправности вентиля строится подходящая (минимизированная) подсхема из программируемых логических блоков, которая маскирует неисправность, будучи подключенной к соответствующему входу мультиплексора. Предлагаемый подход, в отличие от развиваемых за рубежом [S. Yamashita, H. Yoshida, and M. Fujita, "Increasing yield using partially-programmable circuits," in Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI). 2010. P. 237-242; 8. Jo, T. Matsumoto, M. Fujita, "SAT-based automatic rectification and debugging of combinational circuits with LUT insertions", Proc. Of IEEE Asian Test Symposium. 2012. P. 19-24], позволяет сохранять производительность схемы при отсутствии в ней неисправностей и маскирует любую логическую неисправность вентиля, а не только константную неисправность на его полюсе.

В рамках реализации данного этапа работы предложено включать мультиплексоры в полюсы, в которых константные неисправности являются трудно обнаружимыми (hard detectable faults). Произвольные неисправности таких полюсов с большой вероятностью могут оказаться необнаруженными на заключительных этапах создания схемы. Выделение трудно обнаружимых неисправностей выполняется путем вычисления мощностей множеств определенных наборов частичной функции, сопоставляемой внутреннему полюсу схемы. Информация извлекается из Reduced Ordered Binary Decision Diagram (ROBDD-графов), представляющих множества единичных и нулевых наборов частичной функции полюса. Экспериментальные результаты на контрольных примерах (исследовались MCNC Benchmarks circuits) показали, что маскирующие схемы выделенных полюсов, как правило, просты. Предложено рассматривать структуру из нескольких комбинационных схем и схем с памятью, реализованных с использованием вентилях, и среди из программируемых блоков. Мы ориентируемся на существующие в

практике технологии проектирования схем. Для каждой комбинационной схемы или комбинационной части схемы с памятью находим внутренние полюсы для включения в них мультиплексоров. Входные полюсы каждой схемы из вентилях связаны с входами среды из программируемых блоков, так что множества полюсов среды, связанных с различными схемами из вентилях, не пересекаются. Можно оценить максимальную сложность маскирующей подсхемы, число требуемых полюсов среды для каждой схемы из вентилях и выбрать подходящую среду из программируемых логических блоков. Наличие программируемой среды, являющейся резервной частью устройства, позволяет маскировать неисправности на поздних этапах разработки сложных устройств из вентилях. Если неисправности в таком устройстве не будут обнаружены, его производительность сохраняется. При наличии неисправностей, не более одной в каждой из схем, устройство сохраняет предписанное функционирование при более низкой производительности.

Исследованы возможности тестирования кратных константных неисправностей на полюсах логических элементов в упрощенных контролепригодных комбинационных схемах [Matrosova A, Mitrofanov e., Shah T. Simplification of Fully Delay Testable Combinational Circuits // Proceedings of 2015 IEEE 21th International On-line Testing Symposium. 2015. P. 44-45] и упрощенных последовательностных схемах [Matrosova A, Mitrofanov E., Roymjantseva E. Combinational Part Structure Simplification// Proc. of the IEEE East-West Design&Test. 2014. P.168-172], предложенных нами на предыдущих этапах реализации проекта. В этих схемах задержки каждого пути обнаружимы.

На предыдущем этапе реализации проекта было показано, что обеспечение обнаружения всех кратных константных неисправностей на полюсах вентилях и задержек всех путей в схеме требует введения в нее дополнительных входов, что весьма не желательно на практике. Мы исследовали схемы, в которых дополнительные входы отсутствуют. Разработаны тесты для одиночных неисправностей полюсов Invert-AND-XOR, Invert-AND-OR подсхем, композицией которых являются рассматриваемые схемы, с учетом возможностей доставки на входы подсхем требуемых наборов. Число тестовых наборов подсхем равно либо четырем, либо пяти. Для рассматриваемых нами схем предложено строить достаточно короткие (псевдоисчерпывающие) тесты, обнаруживающие кратные константные неисправности вентилях больших подмножеств invert-AND-XOR, Invert-AND-OR подсхем. В комбинационных схемах это подмножества подсхем одного уровня (для схем с памятью речь идет о ROBDD-графах, зависящих от входных переменных). В схемах с памятью псевдоисчерпывающие тесты обнаруживают также кратные константные неисправности на полюсах вентилях, реализующих монотонные системы ДНФ в пространстве внутренних переменных. Тестовые наборы порождаются непосредственно самими конъюнкциями. Приведены оценки длин псевдоисчерпывающих проверяющих тестов.

Проведены исследования в области синтеза самопроверяемых схем для кратковременных и перемежающихся одиночных неисправностей задержек путей. Исследования показали, что для данного класса неисправностей для обеспечения свойства самопроверяемости в схему достаточно вести только один дополнительный выход, обеспечивающий четность (или нечетность) вектора выходных значений. Предложена отказоустойчивая архитектура, состоящая из самопроверяемой схемы

(с одним дополнительным выходом), схемы, реализующей основную функциональность, и детектора кода четности (нечетности), реализующего функцию «сложение по модулю 2». Данные подходы допустимы для комбинационных схем и последовательностных схем в условиях наблюдения всех выходов комбинационной части.

Разработана отказоустойчивая архитектура для кратковременных и перемежающихся одиночных константных неисправностей и неисправностей задержек путей, состоящая из самопроверяемой последовательностной схемы (для кодирования внутренних состояний и выходов используется равновесный код, в качестве метода структурного синтеза выбран один из методов, обеспечивающий монотонное (однаправленное) проявление одиночных константных неисправностей на полюсах элементов схемы) с наблюдением всех выходов комбинационной части, последовательностной схемы (внутренние состояния закодированы равновесным кодом, без ограничений на метод структурного синтеза) и монотонного детектора равновесных кодов. Данная архитектура позволяет маскировать неисправности из заданного класса с меньшими затратами на аппаратную избыточность по сравнению с известными решениями.

Разработан подход к обнаружению вредоносных подсхем Trojan Circuits (ТС) в схемах с памятью, основанный на исследовании свойств логической схемы, позволяющих включать ТС в те или иные ее внутренние полюсы. Предложено наряду с оценкой управляемости полюса, к которому может быть подключен вход вредоносной подсхемы, вычислять оценку наблюдаемости выходного полюса вредоносной подсхемы. Оценка наблюдаемости вычисляется относительно выхода последовательностной схемы, который возбуждается встраиваемой ТС с целью разрушения системы, частью которой является последовательностная схема, или извлечения из системы конфиденциальной информации. Оценки вычисляются с использованием операций над ROBDD-графами, построенными для фрагментов комбинационной составляющей последовательностной схемы. Предлагается оценки управляемости и наблюдаемости рассматривать совместно. В рамках данного проекта нами предложено оценки управляемости и наблюдаемости (как правило, частичной) выполнять по комбинационной составляющей последовательностной схемы. Условия достижения интересующих нас оценок сведены к определению возможности достижения одного из внутренних состояний схемы последовательностью фиксированной длины. Нахождение последовательности сведено к операциям над ROBDD-графами в пространстве $(n+p)$ или p переменных. Здесь n число входов последовательностной схемы, p число ее линий обратных связей. Отметим, что операции над ROBDD-графами являются операциями полиномиальной сложности. Предлагаемый подход, в отличие от подходов, развиваемых за рубежом, не требует предварительного моделирования последовательностной схемы, хотя и может быть использован совместно с моделированием. Этот подход может быть применен, когда вредоносные подсхемы не обнаружимы в процессе верификации схемы.