

Сведения о выполненных работах в 2018 году
по проекту «Тестирование и контролепригодное проектирование
логических схем высокой производительности»,
поддержанному Российским научным фондом

Соглашение № 14-19-00218

Руководитель д-р техн. наук Матросова Анжела Юрьевна

В рамках данного этапа проекта показано, что маскирование вредоносных подсхем различных типов при условии, что их выход подключается к некоторой линии схемы, и маскирование этой линии в случае произвольной ее неисправности, обнаруженной на заключительных этапах создания схемы, задачи одной природы. В связи с этим предложено в обеих ситуациях в качестве «подозрительных» линий выбирать линии, которым сопоставляются слабо определенные частичные функции. Нахождение таких линий сведено к вычислению вероятностной оценки их наблюдаемости для одновыходных подсхем комбинационной схемы (комбинационной составляющей схемы с памятью), которым рассматриваемая линия принадлежит. В обоих случаях выбирается наименьшее значение оценки наблюдаемости. Предложена процедура репрограммирования блока памяти без свободного входа в случае покрытия им «подозрительной» линии. В этом случае подозрительная линия оказывается недоступной для введения в нее вредоносной подсхемы. В то же время покрытие подозрительной линии программируемым блоком сокращает число линий, на которых возможно проявление неисправности на заключительных этапах изготовления схемы. Предложен новый подход к маскированию вредоносных подсхем и неисправностей, обнаруженных на заключительных этапах создания схемы, а также к обеспечению внесения в создаваемую схему незначительных изменений. Здесь речь идет о схемах из вентилях и маскировании подсхемами из вентилях в условиях, когда часть площади кристалла отводится для этих целей. Общим для вышеупомянутых ситуаций является необходимость изменения поведения схемы на небольшом числе наборов. По результатам моделирования корректируемой схемы и спецификации формируется система частичных функций на множестве конъюнкций, в которых выявлено несовпадение реакций. Система частичных функций отличается от общепринятых систем. В предложенном подходе входы корректирующей функции совпадают с входами корректируемой схемы, а выходы обеих схем с помощью простейших однотипных подсхем формируют выходы скорректированной схемы, поведение которой совпадает со спецификацией. Это значит, что маскирование не требует доступа к внутренним линиям и полюсам корректируемой схемы.

Разработан точный метод выявления ложных путей в схемах с памятью в условиях ограничения на длину установочной последовательности, доставляющей тестовую пару для не робастно тестируемой неисправности задержки пути из начального состояния последовательностной схемы. Насколько нам известно, точный метод предложен впервые. Его достоинством является использование при выявлении ложных путей только операций над ROBDD-графами, построенными для фрагментов

комбинационной составляющей схемы с памятью. Метод сводится к вычислению функции булевой разности для исследуемого пути и компактному представлению ее ROBDD-графом. Затем используется разработанный нами ранее алгоритм выявления факта существования установочной последовательности без построения самой последовательности. Последнее обстоятельство позволяет в процессе реализации алгоритма выполнять операцию суммирования над упрощенными ROBDD-графами, зависящими только от переменных состояния схемы с памятью (последовательностной схемы). Предложен метод нахождения всех тестовых пар, состоящих из соседних наборов, для робастно тестируемых неисправностей задержек путей. Тестовые пары компактно представляются ROBDD графами, а их вычисление основано на выполнении операций над функцией булевой разности рассматриваемого пути. Имея множества тестовых пар для робастно тестируемых неисправностей можно строить последовательности векторов для тестирования задержек путей, в которых минимизируется потребление мощности, чтобы исключить overtesting в рамках различных технологий сканирования.

Предложен метод синтеза отказоустойчивых автоматных сетей для неисправностей задержек путей. Отказоустойчивая архитектура включает три базовых блока: самопроверяемая автоматная сеть, предложенная нами ранее; автоматная сеть, реализующая основную функциональность без дополнительных свойств и мультиплексор. Допускается, что неисправность возникает в одном из блоков. Воздействие неисправности ограничено одним тактом работы сети. Данный подход позволяет снизить аппаратную избыточность из-за того, что в самопроверяемой автоматной сети наблюдаются выходы только выходных автоматных компонент, что позволяет сократить количество детекторов и сократить затраты на отказоустойчивую архитектуру в целом.

Предложен алгоритм анализа подмножества кодовых слов на возможность его реализации самотестируемым детектором. Ранее нами был разработан метод синтеза самотестируемого детектора в базисе программируемых логических блоков на множестве всех кодовых слов. Сформулировано достаточное условие, гарантирующее самотестируемость детектора на подмножестве кодовых слов при использовании этого метода синтеза.