

Сведения о выполненных работах в 2017 году
по проекту «Тестирование и контролепригодное проектирование
логических схем высокой производительности»,
поддержанному Российским научным фондом

Соглашение № 14-19-00218

Руководитель д-р техн. наук Матросова Анжела Юрьевна

Предложены схемы маскирования вредоносных подсхем (Trojan Circuits) при активировании их в рабочей области функционирования и вне рабочей области схемы с памятью и выполнены оценки дополнительных аппаратурных затрат в обеих ситуациях. Следует иметь в виду, что в зарубежных публикациях при определении мест возможного подключения вредоносных подсхем используются приближенные вычисления вероятностных оценок управляемости и наблюдаемости полюсов элементов комбинационных составляющих схем с памятью. Мы предлагаем точные методы вычисления этих оценок. При таком подходе имеется возможность компактно представить область возможной активации для вредоносной подсхемы в виде ROBDD-графа и определить, существует ли последовательность, которая может запустить ТС в месте ее подключения. При приближенных вычислениях оценок управляемости и наблюдаемости полюсов элементов область активации определить невозможно. Именно вычисление точных оценок с предварительным получением множества полных состояний, в которых ТС может быть приведена в действие, позволили предложить способы маскирования вредоносных подсхем. В результате компьютерных экспериментов на бенчмарках обнаружено, что маскирование вредоносных подсхем, активируемых вне рабочей области функционирования, требует меньших аппаратурных затрат по сравнению с маскированием ТС, активируемым в рабочей области функционирования.

Разработан подход к синтезу схем, позволяющих маскировать одиночные константные неисправности на линиях связей между элементами на заключительных этапах создания схемы. Эти схемы строятся из вентилях, программируемых блоков памяти (LUTs) и мультиплексоров. Такие схемы называются частично программируемыми. Некоторые блоки памяти имеют свободный вход. Только одна линия может быть неисправной. В случае обнаружения дефекта на последних этапах создания интегральной схемы LUT, связанный с неисправной линией, перепрограммируется с целью маскирования обнаруженной неисправности. В зарубежных публикациях вычисление булевой функции для перепрограммирования LUT сводится к решению проблемы выполнимости квантифицированной SAT. Мы в своих исследованиях для перепрограммирования LUT предлагаем использовать частичные булевы функции внутренних полюсов схемы и их свойства. Области нулевых и единичных значений частичных функций компактно представляются двумя ROBDD-графами. Частичные функции строятся с применением операций над ROBDD-графами. Эти операции характеризуются полиномиальной сложностью, в то время как выполнимость квантифицированной SAT является PSPACE-проблемой. Мы связываем места

введения LUTs и возможные неисправные линии с труднообнаружимыми неисправностями, полагая, что именно такие неисправности могут проявиться на заключительных этапах производства схемы. Труднообнаружимые неисправности также находятся с помощью операций над ROBDD-графами, построенными для фрагментов комбинационной схемы (комбинационной составляющей последовательностной схемы). Разработан алгоритм перепрограммирования маскирующего LUT. Он ориентирован на обеспечение сформулированных нами необходимых и достаточных условий для частичной функции, сопоставляемой выходу маскирующего блока памяти (LUT). Выполнение этих условий гарантирует сохранение спецификации схемы в присутствии неисправности. Предложен подход к покрытию схемы программируемыми блоками, основанный на выделении линий, которые целесообразно маскировать.

Построение тестовой последовательности, обнаруживающей заданную неисправность в схеме с памятью, предложено сводить к получению множества всех тестовых наборов для рассматриваемой неисправности в комбинационной части схемы. Затем необходимо строить последовательность, переводящую схему из начального состояния в одно из полных состояний, представляющих множество тестовых наборов. Длина последовательности не превосходит заданного значения. Предполагается, что множество полных состояний всех тестовых наборов компактно представляется ROBDD-графом.

Разработана программа построения такой последовательности для константной неисправности на внутреннем полюсе схемы. Предложен алгоритм упрощения ROBDD-графов, используемых для операции суммирования при построении последовательностей. Алгоритм использует дерево декомпозиции. Компьютерные Эксперименты показали, что число путей в упрощенных ROBDD графах существенно сокращается.

В рамках данного проекта выполнено исследование синхронных самопроверяемых автоматных сетей. Предложена архитектура самопроверяемой автоматной сети для неисправностей задержек путей, основанная на архитектуре, использование которой позволяет обнаруживать кратковременные и перемежающиеся константные неисправности. Каждая компонента сети обеспечивает однонаправленное проявление одиночных неисправностей задержек путей. Введение только одного дополнительного выхода, обеспечивающего четность (нечетность) вектора выходных значений для выходов комбинационной части, позволяет предотвратить не монотонное (bidirectional) распространение проявления одиночной неисправности задержки пути к выходам сети.

Известно, что для определения возможной скорости работы логической схемы полезно учитывать наличие в схеме ложных путей. Исключение их из рассмотрения позволяет повысить быстродействие проектируемой логической схемы. Разработан метод поиска ложных путей в схемах с памятью. Он основан на использовании предложенного нами ранее метода поиска тестового набора для неисправности литеры эквивалентной нормальной формы (ЭНФ). Разработана модификация этого метода, позволяющая

компактно, в виде ROBDD-графа, представлять множество всех тестовых наборов для неисправности литеры. Предложенный нами ранее метод выявления факта существования последовательности, переводящей схему из начального состояния в одно из внутренних состояний множества, был скорректирован, чтобы обеспечить доставку связанной по значениям заключительной пары наборов последовательности.